



**HALBLEITEREINRICHTUNG MIT SCHUTZISOLIERSCICHT UND
HERSTELLUNGSVERFAHREN FUER DIESELBE****Publication number:** DE4118165**Publication date:** 1991-12-12**Inventor:** HARADA SHIGERU (JP)**Applicant:** MITSUBISHI ELECTRIC CORP (JP)**Classification:**

- International: H01L21/318; C23C16/30; C23C16/40; H01L21/31;
H01L21/314; H01L23/29; C23C16/30; C23C16/40;
H01L21/02; H01L23/28; (IPC1-7): C23C16/34;
H01L21/314; H01L21/56; H01L23/28

- European: H01L21/314B1; H01L23/29C

Application number: DE19914118165 19910603**Priority number(s):** JP19900148185 19900605**Also published as:**

 US5260600 (A1)
 JP4039934 (A)

Report a data error here

Abstract not available for DE4118165

Data supplied from the esp@cenet database - Worldwide**BEST AVAILABLE COPY**



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

①2 Offenlegungsschrift
①0 DE 41 18 165 A 1

⑤1 Int. Cl.⁵:
H 01 L 23/28
H 01 L 21/56
H 01 L 21/314
C 23 C 16/34
// H 01 L 27/108

②1 Aktenzeichen: P 41 18 165.4
②2 Anmeldetag: 3. 6. 91
④3 Offenlegungstag: 12. 12. 91

DE 41 18 165 A 1

③0 Unionspriorität: ③2 ③3 ③1
05.06.90 JP 2-148185

⑦1 Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP

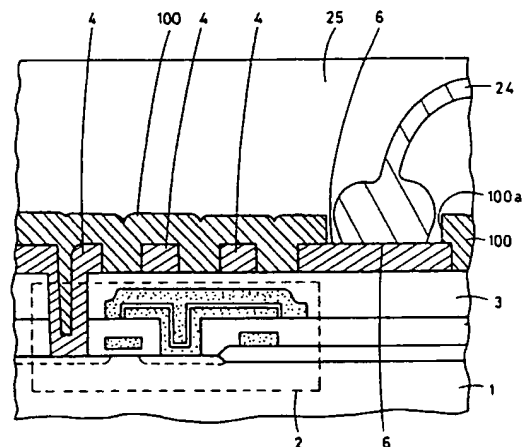
⑦4 Vertreter:
Prüfer, L., Dipl.-Phys., Pat.-Anw., 8000 München

⑦2 Erfinder:
Harada, Shigeru, Itami, Hyogo, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Halbleitereinrichtung mit Schutzisolierschicht und Herstellungsverfahren für dieselbe

⑤7 Es wird eine Halbleitereinrichtung mit einer Schutzisolierschicht beschrieben. Diese Halbleitereinrichtung enthält ein Halbleitersubstrat (1), Elemente (2) und ein Verbindungsmuster (4), das auf dem Halbleitersubstrat (1) angeordnet und elektrisch mit den Elementen (2) verbunden ist. Eine Siliziumoxynitridschicht (100) ist auf dem Halbleitersubstrat (1) so angeordnet, daß sie das Verbindungsmuster (4) bedeckt. Die Siliziumoxynitridschicht ist mittels eines chemischen Gasphasenabscheidungsverfahrens unter Verwendung eines Plasmas und eines organischen Silan und ein Nitriergas enthaltenden Mischgases abgeschieden und weist daher eine überlegene Stufenbedeckung auf. Die Siliziumoxynitridschicht zeigt ein sehr gutes Sperrvermögen gegenüber von außen kommender Feuchtigkeit. Damit wird eine in bezug auf die Zuverlässigkeit wie die Feuchtigkeitsbeständigkeit überlegene Halbleitereinrichtung erhalten.



DE 41 18 165 A 1

Die vorliegende Erfindung bezieht sich allgemein auf Halbleitereinrichtungen und im besonderen auf eine Halbleitereinrichtung, deren Elemente mit einer Schutzisolierschicht bedeckt sind, um äußere Umgebungseinflüsse auf die Elemente wie Feuchtigkeit, mechanische Belastungen und ähnliche auszuschließen. Die Erfindung bezieht sich weiter auf ein Herstellungsverfahren für eine solche Halbleitereinrichtung.

Bei einer Halbleitereinrichtung werden nach der Bildung der Elemente auf einem Halbleitersubstrat die Elemente mit einer Schutzisolierschicht bedeckt und dann in einem Gießharzgehäuse oder einem keramischen Gehäuse untergebracht, um den Einfluß äußerer Faktoren in der Umgebung, wie Feuchtigkeit, mechanische Belastungen etc. auszuschließen.

Fig. 1 ist eine Querschnittsdarstellung einer herkömmlichen in Gießharz versiegelten Halbleitereinrichtung. Fig. 2 ist eine vergrößerte Ansicht des Teiles A in Fig. 1.

Nach Fig. 1 wird ein Chip 21 auf einer Halte-Anschlußfläche 23a angeordnet. Auf dem Chip 21 sind Elemente gebildet. Eine Elektrode des Chips 21 und ein Leiter 23b sind durch einen Bonddraht 24 elektrisch miteinander verbunden. Die Halte-Anschlußfläche 23a zusammen mit dem Leiter (Anschlußstift) 23b wird als Sockel 23 bezeichnet. Auf dem Chip 21 ist eine Schutzisolierschicht 5 gebildet. Der Chip 21 ist durch eine Gießharz-Versiegelungssubstanz 25 versiegelt.

Nach Fig. 2 wird eine genauere Beschreibung des Aufbaus des oben erwähnten Chips gegeben. Im folgenden wird ein DRAM (dynamischer Speicher mit wahlfreiem Zugriff) als Beispiel beschrieben. Ein DRAM-Element 2 (gestapelte Kondensatorzelle) ist auf der Oberfläche eines Silizium-Halbleitersubstrates 1 gebildet. Auf dem DRAM-Element 2 ist eine erste Isolierschicht 3 abgeschieden. Eine erste Verbindung 4 ist auf der ersten Isolierschicht 3 gebildet. Eine Schutzisolierschicht 5 ist zur Bedeckung der ersten Verbindung 4 abgeschieden. Die Schutzisolierschicht 5 ist mit einer Öffnung 5a zum Freilegen einer Bond-Anschlußfläche 6 versehen. Der Bonddraht 24 ist mit der Bond-Anschlußfläche 6 verbunden, um den externen Anschluß 23b und die erste Verbindung 4 miteinander zu verbinden.

Nun wird eine Beschreibung des Herstellungsverfahrens der DRAM-Einrichtung nach Fig. 2 in Verbindung mit den Fig. 3A bis 3F gegeben.

Obgleich Mehrschicht-Verbindungsstrukturen aus Polysilizium-Verbindungen, Metallsilizid-Verbindungen mit hohem Schmelzpunkt, Metallverbindungen mit hohem Schmelzpunkt, Aluminiumverbindungen etc. als Verbindungsstrukturen bekannt sind, ist in Fig. 2 der Fall gezeigt, daß die erste Verbindung 4 eine Aluminiumverbindung und eine Einsicht-Verbindungsstruktur ist, und diese wird im folgenden zur Vereinfachung beschrieben.

Nach Fig. 3A wird das DRAM-Element (die gestapelte Kondensatorzelle) 2 durch Anordnen einer Oxidschicht zur Elementisolation 301, einer Transferelektrode 302, einer Störstellendifusionsschicht 303, einer Wortleitung 304, eines Speicherknotens 305, einer Kondensatorisolierschicht 306 und einer Zellplatte 307 auf der Oberfläche des Silizium-Halbleitersubstrates 1 gebildet.

Nun wird gemäß Fig. 3B eine erste Isolierschicht 3 auf die Oberfläche des Silizium-Halbleitersubstrates 1, auf der das DRAM-Element 2 gebildet ist, abgeschie-

den. Dann wird in einem vorbestimmten Teil der ersten Isolierschicht 3 durch ein photolithographisches Verfahren und ein Ätzverfahren ein Kontaktloch 308 gebildet. Eine Aluminiumverbindung als erste Verbindung wird als eine Bitleitung gebildet. Die erste Verbindung 4 enthält die Bond-Anschlußfläche 6.

Nach Fig. 3C wird eine Siliziumoxidschicht, d. h. die Schutzisolierschicht 5, auf die Oberfläche des Silizium-Halbleitersubstrates 1 unter Nutzung eines Gasphasenabscheidungsverfahrens (im folgenden als CVD-Verfahren bezeichnet) unter Verwendung beispielsweise eines Silan(SiH_4)-Gases und eines Stickoxid(N_2O)-Gases bei einer Schichtabscheidungstemperatur im Bereich von 300 bis 450°C und unter Nutzung von Wärme oder Plasma abgeschieden.

Nach Fig. 3D wird die Öffnung 5a in der Schutzisolierschicht 5 durch ein photolithographisches Verfahren oder ein Ätzverfahren zur Freilegung der Bond-Anschlußfläche 6 zur Ausführung eines Drahtbondens gebildet.

Nun wird, wie die Fig. 1 und 3E zeigen, das Halbleitersubstrat 1 mit den darauf gebildeten Elementen durch In-Stücke-Schneiden geteilt, um den Halbleiterchip 21 zu erzeugen. Der Halbleiterchip 21 wird dann durch Löten oder mit einem leitfähigen Harz mit der Halte-Anschlußfläche 23a des Sockels 23 verbunden. Dann werden die Bond-Anschlußfläche 6 und der Anschlußstift 23b des Sockels durch den Bonddraht 24 verbunden.

Wie Fig. 3F zeigt, wird die Einrichtung schließlich durch das Gießharz-Versiegelungsmittel 25 vollständig eingeschlossen.

Neben dem oben beschriebenen Siliziumoxidfilm werden auch ein Siliziumnitridfilm, der durch ein CVD-Verfahren unter Verwendung von Silan und Nitrid oder Ammoniak gebildet wird, ein Siliziumoxynitridfilm, der durch ein CVD-Verfahren unter Nutzung von Stickoxid gebildet wird, oder ein Schichtaufbau aus diesen Filmen etc. als Schutzisolierschicht verwendet.

Die herkömmliche, gießharzversiegelte Halbleitereinrichtung mit dem oben beschriebenen Aufbau weist die folgenden Probleme auf.

Mit der Entwicklung zu höherer Leistungsfähigkeit der Halbleitereinrichtungen hin wird die Fläche des Halbleiterchips 21 in Fig. 4 tendentiell größer. Wenn ein Halbleiterchip mit einer solch großen Fläche, wie in Fig. 4 gezeigt, verpackt wird, führt die durch das Gießharz 25 erzeugte Druckspannung 26 zu Problemen. Mit anderen Worten, die Druckspannung 26 des Gießharzes 25 wirkt auf die Oberfläche des Halbleiterchips 21 ein, und dadurch wird die erste Verbindung 4 (Aluminiumverbindung) mechanisch deformiert (Gleiterscheinung der Aluminiumverbindung), wie in Fig. 5, die eine vergrößerte Ansicht des Teiles A in Fig. 4 ist, gezeigt. Dadurch wird ein Bruch in der Schutzisolierschicht 5 erzeugt. Die Existenz eines solchen Bruches in der Schutzisolierschicht 5 ermöglicht einen Eintritt von Feuchtigkeit 9 über das Gießharz 25 von außen, die schließlich die erste Verbindung 4 erreicht und diese korrodiert. Ein solcher korrodierter Abschnitt 10 verringert die Zuverlässigkeit der Halbleitereinrichtung.

Eine Lösung dieses Problems ist es, die mechanische Stärke des Stufenabschnittes der ersten Verbindung 4 derart anzuheben, daß sie die Druckspannung 26 des Gießharzes 25 aushält. Bei einer Siliziumoxidschicht des Silantyps, die mit einem herkömmlichen Verfahren abgeschieden wird, d. h. einer Plasma-CVD-Siliziumoxidschicht des $\text{SiH}_4 + \text{N}_2\text{O}$ -Typs, findet eine Schichtab-

scheidungsreaktion (nach dem Verfahren des Bildens einer Schicht, bei dem die Schichtbestandteile durch Reaktion im Gas gebildet und dann auf das Substrat abgeschieden werden) hauptsächlich schichtweise statt, und damit ist die Stufenbedeckung am Stufenabschnitt 31 der ersten Verbindung 4 schlecht. Wie in Fig. 6B gezeigt, ist auch, wenn eine Schutzisolierschicht 32 abgeschieden wird, die dick ist (1 μm), die Stufenbedeckung nicht so gut, daß die Schichtdicke des Stufenabschnitts 33 der ersten Verbindung 4 groß genug gemacht werden könnte. Dieses Verfahren kann damit nicht zur Lösung des oben beschriebenen Problems verwendet werden.

Das gilt auch für andere Fälle, bei denen eine mit Silan abgeschiedene Siliziumnitridschicht, eine Siliziumoxynitridschicht oder ähnliche verwendet werden.

Jüngst wurde über die Verwendung einer Plasma-CVD-Siliziumoxidschicht unter Nutzung von Tetraethoxysilan (TEOS) und Sauerstoff als Schicht mit überlegener Stufenbedeckung berichtet, aber die sich ergebende Schicht ist eine Siliziumoxidschicht, die nicht so feinkörnig wie eine Siliziumnitridschicht oder eine Siliziumoxynitridschicht ist, die herkömmlicherweise als Schutzisolierschicht verwendet werden. Die Schicht ist damit in bezug auf die Sperrwirkung gegenüber von außen kommender Feuchtigkeit unterlegen, und sie kann keine Druckspannungen des Gießharzes verkraften. Die Siliziumoxidschicht ist damit in bezug auf mechanische Belastbarkeit ungenügend.

Es ist Aufgabe der vorliegenden Erfindung, die Stufenbedeckung einer Schutzisolierschicht einer Halbleitereinrichtung mit Schutzisolierschicht zu verbessern und damit eine verbesserte Halbleitereinrichtung mit Schutzisolierschicht in bezug auf die Druckspannungsfestigkeit, die Feuchtigkeitsbeständigkeit und allgemein die Zuverlässigkeit bereitzustellen. Es ist weiterhin Aufgabe der vorliegenden Erfindung, ein Herstellungsverfahren für eine in bezug auf die Druckspannungsfestigkeit, Feuchtigkeitsbeständigkeit und allgemein Zuverlässigkeit verbesserte Halbleitereinrichtung bereitzustellen.

Um diese Aufgabe zu erfüllen, weist eine erfindungsgemäße Halbleitereinrichtung ein Halbleitersubstrat, auf dem Elemente gebildet sind, eine auf dem Halbleitersubstrat angeordnete und mit den Elementen elektrisch verbundene strukturierte Verbindung und eine auf dem Halbleitersubstrat zur Bedeckung der Verbindungsstruktur angeordnete Siliziumoxynitridschicht auf. Die Siliziumoxynitridschicht wird mittels eines CVD-Verfahrens mit Plasma unter Verwendung eines Mischgases aus einem organischen Silangas und einem Nitriergas abgeschieden.

Nach einer bevorzugten Ausführungsform der Erfindung wird die oben erwähnte Siliziumoxynitridschicht bei einer Schichtbildungstemperatur im Bereich von 300 bis 450°C unter einem Schichtbildungsdruck im Bereich von 10 bis 100 Torr gebildet.

Bei einer erfindungsgemäßen Halbleitereinrichtung wird eine Schutzisolierschicht aus einer Siliziumoxynitridschicht durch ein CVD-Verfahren unter Verwendung eines Plasmas und eines ein organisches Silangas und ein Nitriergas enthaltenden Gases gebildet. Die Siliziumoxynitridschicht hat eine überlegene Stufenbedeckung, da ihre Schichtbildungsreaktion (spezifisch für einen Schichtbildungsprozeß, der organisches Silan verwendet) hauptsächlich an der Oberfläche des Substrates stattfindet. Beim Abscheiden der Siliziumoxynitridschicht auf das Verbindungsmuster ist die Schichtdicke

der Schutzisolierschicht im Stufenbereich nicht dünn. Infolgedessen kann die mechanische Belastbarkeit der Schutzisolierschicht auf ein Niveau erhöht werden, wo sie ausreichend ist, um die Druckspannung des Gießharzes auszuhalten. Die mechanische Deformation des Verbindungsmusters oder die Bildung von Brüchen in der Schutzisolierschicht infolge der Deformation kann damit verhindert werden.

Außerdem ist die eine Siliziumoxynitridschicht einschließende Isolierschicht mit N-Atomen mit kleinem Radius feiner als eine Siliziumoxidschicht, wodurch gute Sperrwirkung gegenüber von außen kommender Feuchtigkeit erreicht wird. Auf diese Weise wird eine Halbleitereinrichtung mit überlegener Zuverlässigkeit wie Feuchtigkeitsbeständigkeit etc. bereitgestellt.

Eine Halbleitereinrichtung nach einem weiteren Aspekt der vorliegenden Erfindung weist ein Halbleitersubstrat, auf dem Elemente gebildet sind, ein auf dem Halbleitersubstrat angeordnetes und elektrisch mit den Elementen verbundenes Verbindungsmuster und eine auf dem Halbleitersubstrat angeordnete Siliziumoxynitridschicht zur Bedeckung des Verbindungsmusters auf, die 0,01 bis 0,5 Gew.-% von Hydroxylgruppen enthält.

Das Herstellungsverfahren für eine Halbleitereinrichtung nach einem weiteren Aspekt der Erfindung weist die Schritte des Bildens von Elementen auf dem Halbleitersubstrat, des Bildens eines elektrisch mit den Elementen verbundenen Verbindungsmusters auf dem Halbleitersubstrat und des Abscheidens einer Siliziumoxynitridschicht auf dem Verbindungsmuster auf. Die Siliziumoxynitridschicht wird durch ein CVD-Verfahren unter Verwendung eines Plasmas und eines Mischgases, das ein organisches Silangas und ein Nitriergas enthält, bei einer Schichtbildungstemperatur im Bereich von 300 bis 450°C unter einem Schichtbildungsdruck im Bereich von 10 bis 100 Torr abgeschieden.

Bei dem erfindungsgemäßen Herstellungsverfahren für eine Halbleitereinrichtung wird überlegene Stufenbedeckung erreicht, da eine Schichtbildungsreaktion (spezifisch für eine Schichtbildungsreaktion unter Verwendung eines organischen Silans) hauptsächlich an der Oberfläche des Substrates stattfindet. Damit wird bei Abscheidung der Schicht auf dem Verbindungsmuster die Schutzisolierschicht im Stufenbereich nicht so gebildet, daß sie dünn ist. Infolgedessen kann die mechanische Stärke der Schutzisolierschicht auf ein Niveau erhöht werden, das ausreicht, die Druckspannung des Gießharzes zu verkraften. Die nach diesem Verfahren gebildete Schutzisolierschicht, die eine Siliziumoxynitridschicht ist, ist feiner als eine Siliziumoxidschicht und weist damit eine überlegene Sperrcharakteristik gegenüber von außen kommender Feuchtigkeit auf. Auf diese Weise kann eine Halbleitereinrichtung mit überlegener Zuverlässigkeit wie Feuchtigkeitsbeständigkeit bereitgestellt werden.

Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der Erläuterung von Ausführungsbeispielen anhand der Figuren. Von den Figuren zeigen:

Fig. 1 eine Querschnittsdarstellung, die eine Halbleitereinrichtung mit einer herkömmlichen Gießharzverkapselung zeigt;

Fig. 2 eine vergrößerte Darstellung des Teiles A in Fig. 1;

Fig. 3A bis 3F Querschnitts-Teildarstellungen der in Fig. 2 gezeigten Halbleitereinrichtung in aufeinanderfolgenden Stufen des Herstellungsverfahrens;

Fig. 4 eine Prinzipdarstellung, die das Problem einer

Halbleitereinrichtung mit herkömmlicher Gießharzverkapselung zeigt;

Fig. 5 eine vergrößerte Darstellung des Teiles A in Fig. 4;

Fig. 6A eine Darstellung der Stufenbedeckung durch eine "SiH₄ + N₂O-Plasma-CVD-Siliziumoxidschicht";

Fig. 6B eine Darstellung des Falles, daß deren Schichtdicke größer gemacht wird;

Fig. 7 eine Querschnittsdarstellung einer Halbleitereinrichtung nach einer ersten Ausführungsform;

Fig. 8A bis 8F Querschnitts-Teildarstellungen der in Fig. 7 gezeigten Halbleitereinrichtung in aufeinanderfolgenden Stufen des Herstellungsverfahrens;

Fig. 9 eine schematische Darstellung einer CVD-Anlage, die zur Abscheidung einer Schutzisolierschicht verwendet wird;

Fig. 10 eine schematische Darstellung, die zeigt, wie eine Siliziumoxynitridschicht mittels eines Plasma-CVD-Verfahrens unter Verwendung von TEOS/NH₃/N₂ gebildet wird;

Fig. 11 eine chemische Strukturformel, die eine Siliziumoxynitridschicht, die erfindungsgemäß hergestellt wurde, darstellt;

Fig. 12 eine Querschnittsdarstellung einer Halbleitereinrichtung nach einer anderen Ausführungsform;

Fig. 13 eine Querschnittsdarstellung einer Halbleitereinrichtung nach einer weiteren Ausführungsform;

Fig. 14 eine Querschnittsdarstellung einer Halbleitereinrichtung nach einer weiteren Ausführungsform;

Fig. 15 eine Querschnittsdarstellung einer Halbleitereinrichtung nach einer weiteren Ausführungsform;

Fig. 16 eine Querschnittsdarstellung einer Halbleitereinrichtung nach einer weiteren Ausführungsform; und

Fig. 17 eine Querschnittsdarstellung einer Halbleitereinrichtung nach einer weiteren Ausführungsform.

Nach Fig. 7 ist ein DRAM-Element 2 (gestapelte Kondensatorzelle) auf der Oberfläche eines Silizium-Halbleitersubstrates gebildet. Eine erste Isolierschicht 3 ist so gebildet, daß sie das DRAM-Element 2 bedeckt. Auf der ersten Isolierschicht 3 ist ein erstes Verbindungsmuster 4 gebildet. Das erste Verbindungsmuster 4 enthält eine Bond-Anschlußfläche. Eine Schutzisolierschicht 100 ist auf der Außenisolierschicht 3 so gebildet, daß sie die erste Verbindung 4 bedeckt. Die Schutzisolierschicht 100 ist eine Siliziumoxynitridschicht, die nach einem CVD-Verfahren unter Verwendung eines Plasmas und eines organischen Silan und ein Nitriergas enthaltenden Gases abgeschieden ist. Anhand des Infrarotspektrums ist nachgewiesen, daß die Siliziumoxynitridschicht 100, die nach diesem Verfahren gebildet ist, durch die in Fig. 11 angegebene Strukturformel repräsentiert wird und 0,01 bis 0,5 Gew.-% von Hydroxylgruppen enthält. Die Siliziumoxynitridschicht 100 hat infolge der Schichtabscheidungsreaktion (die im folgenden im einzelnen beschrieben werden wird) eine überlegene Stufenbedeckung, die ein Charakteristikum des Schichtbildungsprozesses unter Verwendung organischen Silans ist, der hauptsächlich auf der Oberfläche des Substrates stattfindet. Entsprechend Fig. 7 ist beim Abscheiden der Schutzisolierschicht auf der ersten Verbindung 4 damit die Schichtdicke im Stufenbereich nicht dünn. Die Schutzisolierschicht 100 ist mit einer Öffnung 100a zum Freilegen der Bond-Anschlußfläche 6 versehen. Mit der Bond-Anschlußfläche 6 ist ein Bonddraht 24 zum Verbinden mit dem Anschlußstift eines Sockels verbunden. Die Halbleitereinrichtung wird mittels eines Gießharzmittels 25 ganz eingegossen.

Wie oben beschrieben, wird nach Fig. 7 beim Ab-

scheiden der Schutzisolierschicht 100 auf der ersten Verbindung 4 die Schichtdicke im Stufenabschnitt nicht dünn, da die Schutzisolierschicht 100 überlegene Stufenbedeckung aufweist. Im Ergebnis dessen kann die mechanische Stärke der Schutzisolierschicht 100 auf ein Niveau erhöht werden, das ausreicht, um die Druckspannung durch das Gießharzversiegelungsmittel 25 auszuhalten. Infolgedessen können mechanische Deformationen der ersten Verbindung 4 und infolge der Deformation in der Schutzschicht 100 gebildete Brüche verhindert werden.

Die Schutzisolierschicht 100, die eine Siliziumoxynitridschicht aufweist, enthält Stickstoffatome, die einen kleinen Radius haben, und ist damit feiner als eine Siliziumoxidschicht. Im Ergebnis dessen hat die Schutzisolierschicht 100 eine überlegene Sperrcharakteristik gegenüber von außen kommender Feuchtigkeit. Damit kann eine Halbleitereinrichtung mit überlegener Zuverlässigkeit wie Feuchtigkeitsbeständigkeit bereitgestellt werden.

Im folgenden wird das Herstellungsverfahren der Halbleitereinrichtung nach Fig. 7 in Verbindung mit den Fig. 8A bis 8F beschrieben.

Nach Fig. 8A wird auf der Oberfläche eines Silizium-Halbleitersubstrates 1 ein DRAM-Element 2 (gestapelte Kondensatorzelle) aus einer Oxidschicht 301 zur Elementisolation, einer Transferelektrode 302, einer Störstellendiffusionsschicht 303, einer Wortleitung 304, einem Speicherknoten 305, einer Kondensatorisolierschicht 306 und einer Zellplatte 307 gebildet.

Nach Fig. 8B wird auf der gesamten Oberfläche des Silizium-Halbleitersubstrates 1 einschließlich des DRAM-Elementes 2 darauf eine erste Isolierschicht 3 abgeschieden. Ein Kontaktloch 308 wird in einer vorbestimmten Position in der ersten Isolierschicht 3 durch Photolithographie und Ätzverfahren erzeugt. Dann wird eine erste Verbindung 4, eine Aluminiumverbindung, als Bitleitung gebildet. Die erste Verbindung 4 enthält eine Bond-Anschlußfläche 6.

Nach Fig. 8C wird unter Verwendung von Tetraethoxysilan (TEOS), das ein organisches Silan ist, und Ammoniak- und Stickstoffgas (Stickstoffgas als Trägergas), die beide Nitriergase sind, eine Siliziumoxynitridschicht 100 durch ein CVD-Verfahren unter Verwendung von Plasma so abgeschieden, daß sie die erste Verbindung 4 bedeckt. Im folgenden wird die Siliziumoxynitridschicht 100 als "TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxynitridschicht" bezeichnet.

Die "TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxynitridschicht" ist durch ihre Überlegenheit bei der Stufenbedeckung im Vergleich mit einem Silan (SiH₄) benutzenden Verfahren gekennzeichnet, da ein großer Teil der Schichtabscheidungsreaktion, was ein Charakteristikum des Schichtbildungsprozesses unter Verwendung von organischen Silanen ist, auf der Oberfläche des Substrates stattfindet.

Im folgenden wird beschrieben, warum die "TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxynitridschicht" bei der Stufenbedeckung überlegen ist.

Fig. 10 ist eine Darstellung, die schematisch zeigt, wie eine Siliziumoxynitridschicht nach dem Plasma-CVD-Verfahren unter Verwendung von TEOS/NH₃/N₂ gebildet wird. Bei der Reaktion von TEOS und NH₃ zerfällt NH₃ zuerst unter Erzeugung eines Stickstoffradikals. Im Gas findet eine Polymerisationsreaktion des Stickstoffradikals und des TEOS statt. Das durch die Polymerisationsreaktion erzeugte Zwischenprodukt ist ein TEOS-Polymer mit geringem Molekulargewicht, das durch n

gekoppelte TEOS-Stücke gebildet wird. Das im Dampf (Gas) gebildete TEOS-Polymer und Stickstoffradikal werden auf die Oberfläche der ersten Isolierschicht 3 transportiert, die eine unebene Struktur aufweist, und auf der Oberfläche findet eine weitere Polymerisationsreaktion statt, wodurch eine Schicht erzeugt wird. Das Charakteristiken ähnlich einer Flüssigkeit aufweisende TEOS-Polymer fließt im Stufenbereich zusammen. Das ist die Ursache dafür, warum die Schicht eine überlegene Stufenbedeckung aufweist.

Die erzeugte Siliziumoxynitridschicht 100 enthält Stickstoff mit einem kleinen Atomradius und ist daher feiner als eine "TEOS + O₂-Plasma-CVD-Siliziumoxidschicht". Im Ergebnis dessen hat die Siliziumoxynitridschicht 100 überlegene Sperrwirkung gegenüber Feuchtigkeit etc. und bildet damit eine ausgezeichnete Schutzisolierschicht zur Abscheidung auf Verbindungsschichten.

Nach Fig. 8D wird die Schutzisolierschicht 100 mit einer Schutzschicht 100a zum Freilegen der Bond-Anschlußfläche 6 durch Photolithographie und Ätzverfahren versehen.

Nach den Fig. 8E und 1 wird das Silizium-Halbleitersubstrat 1, auf dem Elemente gebildet sind, durch In-Stücke-Schneiden geteilt, um den Halbleiterchip 21 zu ergeben, und dann unlösbar mit der Halte-Anschlußfläche 23a des Sockels 23 mit Lötlut oder leitendem Kleber verbunden.

Dann werden die Bond-Anschlußfläche 6 und der Anschluß 23b des Sockels 23 durch einen Bonddraht 24 verbunden.

Schließlich wird die ganze Einrichtung durch das Gießharz 25 versiegelt.

Im folgenden wird eine genauere Beschreibung gegeben, wie die Schutzisolierschicht gebildet wird.

Fig. 9 ist eine Darstellung, die das Konzept einer CVD-Anlage zum Abscheiden einer Siliziumoxynitridschicht, d. h. einer Schutzisolierschicht, zeigt. Die CVD-Einrichtung weist eine Reaktionskammer 401 auf. Die Reaktionskammer 401 enthält einen Gasverteilungskopf. In der Reaktionskammer 401 ist ein Substrathalter 404 zur Aufnahme eines Halbleitersubstrates 403 angeordnet. Im Substrathalter 404 ist ein Heizer 405 zum Heizen des Halbleitersubstrates 403 auf eine gewünschte Temperatur vorgesehen. Eine TEOS-Gaszuführungsleitung 406 mit einem Ventil 406a ist mit dem Gasverteilungskopf 402 verbunden. Mit dem Gasverteilungskopf 402 ist auch eine Stickstoffgaszuführungsleitung 407 mit einem Ventil 407a verbunden. Eine NH₃-Gaszuführungsleitung 408 mit einem Ventil 408a ist mit dem Gasverteilungskopf 402 verbunden. Die Reaktionskammer 401 ist mit einem Vakuumevakuierungssystem 409 verbunden. Mit dem Gasverteilungskopf 402 und dem Substrathalter 404 ist eine Hochfrequenz(HF)-Stromversorgung 410 verbunden. Die HF-Stromversorgung 410 wird durch einen Hochfrequenz-EIN/AUS-Schalter 411 ein- oder ausgeschaltet.

Jetzt wird der Prozeß des Abscheidens einer Siliziumoxynitridschicht unter Nutzung der oben beschriebenen CVD-Anlage beschrieben.

Das Halbleitersubstrat 403 wird auf den Substrathalter 404 gebracht und auf eine gewünschte Temperatur im Bereich von beispielsweise 300 bis 450°C durch den Heizer 405 aufgeheizt. Mittels des Vakuumevakuierungssystems 409 wird die Reaktionskammer 401 auf ein gewünschtes Vakuum evakuiert, z. B. auf 10⁻⁴ Torr.

Im Falle der Abscheidung einer TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxynitridschicht

werden jeweils das Ventil 406a der TEOS-Gaszuführungsleitung 406, das Ventil 407a der Stickstoffgaszuführungsleitung 407 und das Ventil 408a der NH₃-Gaszuführungsleitung 408 geöffnet, um eine vorgegebene Gasmenge einzuleiten, um einen Druck im Bereich von 10 bis 100 Torr aufrechtzuerhalten. Dann wird der HF-Schalter 411 eingeschaltet und von der HF-Stromquelle 410 Radiofrequenzleistung geliefert. Ein Durchflußverhältnis von TEOS zu NH₃ ist vorzugsweise 1 : 10 bis 1 : 30. Die HF-Leistung ist vorzugsweise im Bereich von 0,5 bis 5 W/cm². In der Reaktionskammer 401 wird damit eine aus der Reaktion im Plasma 412 sich ergebende Schicht abgeschieden.

Obwohl in der beschriebenen Ausführungsform alle Isolierschichten durch eine "TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxynitridschicht" erzeugt werden, können auch Stapelstrukturen in Verbindung mit anderen Isolierschichten verwendet werden.

Fig. 12 ist eine Querschnittsdarstellung, die eine Halbleitereinrichtung nach einer anderen Ausführungsform zeigt. Auf die erste Verbindung 4 ist eine "TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxynitridschicht" 100 abgeschieden. Auf die "TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxynitridschicht" 100 ist eine "SiH₄ + NH₃ + N₂-Plasma-CVD-Siliziumnitridschicht" 201 abgeschieden. Die "TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxynitridschicht" 100 hat vorzugsweise eine Dicke im Bereich von 3000 bis 10 000 Å, die Schichtdicke der "SiH₄ + NH₃ + N₂-Plasma-CVD-Siliziumnitridschicht" 201 ist 3000 bis 10 000 Å. Die "SiH₄ + NH₃ + N₂-Plasma-CVD-Siliziumnitridschicht" 201 ist fein und hat eine gute Feuchtigkeitssperrcharakteristik. Die Feuchtigkeitsbeständigkeit der Halbleitereinrichtung kann weiter durch eine Bedeckung der "TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxynitridschicht" mit der "SiH₄ + NH₃ + N₂-Plasma-CVD-Siliziumnitridschicht" verbessert werden.

Die oben beschriebene "SiH₄ + NH₃ + N₂-Plasma-CVD-Siliziumnitridschicht" 201 hat eine große Schichtspannung von 2 × 10⁹ dyn/cm² (Druckspannung), aber wenn sie auf eine für diesen Nachteil empfindliche Halbleitereinrichtung aufgebracht wird, kann die folgende Verbesserung vorgenommen werden.

Fig. 13 ist eine Querschnittsdarstellung, die eine Halbleitereinrichtung nach einer weiteren Ausführungsform der Erfindung zeigt. Nach Fig. 13 ist eine "TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxynitridschicht" 100 über die erste Verbindung 4 abgeschieden. Dann ist auf die "TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxynitridschicht" 100 eine "SiH₄ + NH₃ + N₂O-Plasma-CVD-Siliziumnitridschicht" 202 abgeschieden. Alternativ wird nach Abscheiden der ersten Verbindung 4 und der "TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxynitridschicht" 100 eine "SiH₄ + N₂O-Plasma-CVD-Siliziumoxidschicht" 203 darauf abgeschieden. Mit einer solchen Konfiguration kann eine Halbleitereinrichtung mit weiter verbesserter Feuchtigkeitsbeständigkeit bereitgestellt werden.

Die Dielektrizitätskonstante der "TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxynitridschicht" ist etwa 4 bis 5, und wenn dies bei einer Halbleitereinrichtung, die Hochgeschwindigkeitsbetrieb erfordert, ein Nachteil sein kann, kann die folgende Verbesserung vorgenommen werden.

Nach Fig. 15 ist auf einer unteren Schicht aus "TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxynitridschicht" 100 eine Siliziumoxidschicht 204 gebildet, die eine kleinere Dielektrizitätskonstante von 3 bis 4 als die Silizi-

umoxynitridschicht hat. Im obigen Fall ist die Siliziumoxidschicht 204 auf der "TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxidschicht" gebildet, da ausgezeichnete Stufenbedeckung erforderlich ist. Bei einer solchen Konfiguration wird eine Isolierschicht zwischen Verbindung, die hauptsächlich die Kapazität zwischen Verbindungen bestimmt, die wesentlich für Hochgeschwindigkeitsbetrieb ist, aus einer "TEOS + O₂-Plasma-CVD-Siliziumoxidschicht" mit kleiner Dielektrizitätskonstante gebildet, und damit kann eine Halbleitereinrichtung mit der Möglichkeit eines Hochgeschwindigkeitsbetriebes hergestellt werden. Auch kann mit der "TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxynitridschicht" 100, die die "TEOS + O₂-Plasma-CVD-Siliziumoxidschicht" 204 bedeckt, wie oben beschrieben, eine Halbleitereinrichtung mit überlegener Zuverlässigkeit wie Feuchtigkeitsbeständigkeit hergestellt werden.

Fig. 16 ist eine Querschnittsdarstellung, die eine Halbleitereinrichtung nach einer weiteren Ausführungsform zeigt. Nach Fig. 16 ist auf einer Schutzisolierschicht, die durch eine Stapelung einer "TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxynitridschicht" 100 und einer "SiH₄ + NH₃ + N₂-Plasma-CVD-Siliziumnitridschicht" 201 gebildet ist, eine aus Polyimidharz, Silizium mit verlaufendem Polymerharz etc. gebildete Pufferdeckschicht 210 gebildet. Die Existenz der Pufferdeckschicht 210 ermöglicht eine Erhöhung der mechanischen Stärke des Halbleitersubstrates.

Obgleich in den beschriebenen Ausführungsformen Fälle beschrieben wurden, bei denen TEOS als Beispiel eines organischen Silans verwendet wurde, können andere organische Silane beispielsweise Tetramethoxysilan, Tetraisopropoxysilan, Ditert.-butoxyacetoxysilan etc. verwendet werden, um ähnliche Wirkungen zu erzielen.

Auch wurde bei der beschriebenen Ausführungsform der Fall beschrieben, daß der Verbindungsaufbau aus einer einzelnen Schicht besteht und die erste Verbindung aus einer Aluminiumverbindung besteht, die gleichen Effekte können jedoch erreicht werden, wenn die erste Verbindung aus einer anderen Metallverbindung wie einem Metall mit einem hohen Schmelzpunkt (W, Mo, Ti etc.), aus Metallsiliziden mit hohem Schmelzpunkt (WSi₂, MoSi₂, TiSi₂ etc.) besteht, oder Polysiliziumverbindungen verwendet werden. Diese Verbindungsstrukturen können auch Mehrschichtstrukturen sein.

Bei den oben beschriebenen Ausführungsformen wird die Siliziumoxynitridschicht nach dem Plasma-CVD-Verfahren unter Verwendung organischen Silans (TEOS) und eines Nitriergases (Stickstoff, Ammoniak) abgeschieden, es kann aber ein oxidierendes Gas wie Sauerstoff oder Ozon zu diesen Gasen hinzugefügt werden, um eine Siliziumoxynitridschicht zu bilden, um den Oxidationsgrad in der Schicht zu erhöhen, wenn es gewünscht wird, die Dielektrizitätskonstante der Siliziumoxynitridschicht weiter zu verringern, und damit werden die gleichen Effekte erreicht.

In den beschriebenen Ausführungsformen wurde der Fall beschrieben, daß die Erfindung auf eine Halbleitereinrichtung mit DRAM-Elementen auf der Oberfläche des Halbleitersubstrates angewendet wird, die gleichen Effekte können jedoch auch bei Anwendung auf andere Halbleitereinrichtungen erreicht werden.

Fig. 17 ist eine Querschnittsdarstellung, die eine Halbleitereinrichtung zeigt, bei der SRAM-Elemente auf der Oberfläche des Halbleitersubstrates gebildet sind. Nach Fig. 17 ist ein SRAM-Element 310 auf der

Oberfläche eines Silizium-Halbleitersubstrates 1 gebildet. Das SRAM-Element 310 enthält einen p-Wannenbereich 311 und einen n-Wannenbereich 312, die in einem aktiven Gebiet gebildet sind, das durch eine Elementisolationsoxidschicht 313 isoliert ist. In der Hauptfläche des p-Wannenbereiches 312 ist eine n-Störstellendiffusionsschicht 315 gebildet. In der Hauptfläche des n-Wannengebietes 312 ist eine p-Störstellendiffusionsschicht 316 gebildet. Jeweils im oberen Abschnitt (oberhalb) des p-Wannengebietes 311 und des n-Wannengebietes 312 ist eine Gateelektrode 314 gebildet. Das SRAM-Element 310 enthält eine Polysiliziumverbindung 317, die jeweils im oberen Abschnitt (oberhalb) des p-Wannengebietes 311 und des n-Wannengebietes 312 angeordnet ist. Eine erste Isolierschicht 3 ist so gebildet, daß sie das SRAM-Element 310 bedeckt. Auf der ersten Isolierschicht 3 ist eine erste Verbindung 4 gebildet. Die erste Verbindung 4 enthält eine Bond-Anschlußfläche 6. Eine "TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxynitridschicht" 100, die eine Schutzisolierschicht ist, ist so gebildet, daß sie die erste Verbindung 4 bedeckt. Eine Öffnung 100a zum Freilegen der Bond-Anschlußfläche 6 ist in der "TEOS + NH₃ + N₂-Plasma-CVD-Siliziumoxynitridschicht" 100 gebildet. Ein Bonddraht 24 ist mit der Bond-Anschlußfläche 6 verbunden. Die Halbleitereinrichtung ist gänzlich durch ein Gießharzversiegelungsmittel 25 eingeschlossen. Eine Halbleitereinrichtung mit einem solchen Aufbau erreicht die gleichen Effekte wie die oben beschriebenen Ausführungsformen. Auf der Oberfläche des Halbleitersubstrates können auch andere Elemente als DRAM-Elemente und SRAM-Elemente gebildet werden, z. B. EPROM-Elemente, E²PROM-Elemente, Mikrocomputer-Schaltungselemente, logische CMOS-Schaltungselemente, Bipolar-Transistorelemente oder ähnliches. Wie oben gesagt, kann bei einer erfindungsgemäßen Halbleitereinrichtung die mechanische Stärke einer Schutzisolierschicht auf ein Niveau angehoben werden, das ausreicht, um der Druckspannung des Gießharzes zu widerstehen. Damit können mechanische Deformationen der Verbindungen oder Brüche in der Schutzisolierschicht infolge der Deformation verhindert werden. Eine Siliziumoxynitridschicht ist im Vergleich zu einer Siliziumoxidschicht fein und hat damit eine überlegene Sperrcharakteristik gegenüber von außen kommender Feuchtigkeit. Damit kann eine bezüglich der Zuverlässigkeit wie der Feuchtigkeitsbeständigkeit überlegene Halbleitereinrichtung hergestellt werden.

Beim Herstellungsverfahren der Halbleitereinrichtung nach einem weiteren Aspekt der Erfindung wird eine Schutzisolierschicht durch ein CVD-Verfahren mittels Plasma unter Verwendung eines Mischgases mit organischem Silan und einem Nitriergas abgeschieden. Bei diesem Verfahren findet eine Filmabscheidungsreaktion, die ein Charakteristikum des Schichtbildungsprozesses unter Nutzung organischer Silane ist, hauptsächlich auf der Oberfläche des Substrates statt, wodurch überlegene Stufenbedeckung erreicht wird. Daher kann, wenn die Schicht über eine Aluminiumverbindung abgeschieden wird, die Dicke der Schutzisolierschicht im unebenen Abschnitt hinreichend erhöht werden, so daß sie der Druckspannung des Gießharzes widersteht. Im Ergebnis dessen können mechanische Deformationen der Aluminiumverbindung und infolge der Deformation in der Schutzisolierschicht erzeugte Brüche verhindert werden. Die Schicht, die eine Siliziumoxynitridschicht mit N-Atomen mit kleinem Radius enthält, ist im Vergleich zu einer Siliziumoxidschicht feiner

und hat damit überlegene Sperrcharakteristik gegenüber von außen kommender Feuchtigkeit. Damit kann eine Halbleitereinrichtung mit überlegener Zuverlässigkeit wie Feuchtigkeitsbeständigkeit etc. hergestellt werden.

Patentansprüche

1. Halbleitereinrichtung mit Schutzisolierschicht mit einem Halbleitersubstrat (1), auf dem Elemente (2) gebildet sind, einem Verbindungsmuster (4) auf dem Halbleitersubstrat (1), das elektrisch mit den Elementen (2) verbunden ist; und einer Siliziumoxynitridschicht (100), die auf dem Halbleitersubstrat (1) so angeordnet ist, daß sie das Verbindungsmuster (4) bedeckt, wobei die Siliziumoxynitridschicht (100) unter Verwendung eines organischen Silan und ein Nitriergas enthaltenden Mischgases nach einem chemischen Gasphasenabscheidungsverfahren unter Verwendung eines Plasmas abgeschieden ist.
2. Halbleitereinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Siliziumoxynitridschicht (100) bei einer Schichtbildungstemperatur im Bereich von 300 bis 450°C unter einem Schichtbildungsdruck im Bereich von 10 bis 100 Torr abgeschieden ist.
3. Halbleitereinrichtung mit einer Schutzisolierschicht mit einem Halbleitersubstrat (1), auf dem Elemente (2) gebildet sind, einem Verbindungsmuster (4) auf dem Halbleitersubstrat (1), das elektrisch mit den Elementen (2) verbunden ist, und einer Siliziumoxynitridschicht (100), die auf dem Halbleitersubstrat (1) so aufgebracht ist, daß sie das Verbindungsmuster (4) bedeckt, und die 0,01 bis 0,5 Gew.-% Hydroxylgruppen enthält.
4. Halbleitereinrichtung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß auf der Siliziumoxynitridschicht (100) eine Siliziumnitridschicht (201) nach einem chemischen Gasphasenabscheidungsverfahren unter Nutzung eines Silan und ein Nitriergas enthaltenden Mischgases abgeschieden ist.
5. Halbleitereinrichtung nach Anspruch 4, dadurch gekennzeichnet, daß die Schichtdicke der Siliziumoxynitridschicht (100) 3000 bis 10 000 Å und die Schichtdicke der Siliziumnitridschicht (201) 3000 bis 10 000 Å beträgt.
6. Halbleitereinrichtung nach einem der Ansprüche 1 bis 3, gekennzeichnet durch eine zweite Siliziumoxynitridschicht, die keine Hydroxylgruppe aufweist.
7. Halbleitereinrichtung nach Anspruch 6, dadurch gekennzeichnet, daß die zweite Siliziumoxynitridschicht (202) nach einem chemischen Gasphasenabscheidungsverfahren unter Nutzung eines Silan, ein Nitriergas und ein Oxidiergas enthaltenden Gases abgeschieden ist.
8. Halbleitereinrichtung nach einem der Ansprüche 1 bis 3, gekennzeichnet durch eine auf der Siliziumoxynitridschicht (100) angeordnete Siliziumoxidschicht (203).
9. Halbleitereinrichtung nach Anspruch 8, dadurch gekennzeichnet, daß die Siliziumoxidschicht (203) durch ein chemisches Gasphasenabscheidungsverfahren mittels Plasma oder Wärme unter Nutzung

eines Silan und ein Oxidiergas enthaltenden Mischgases abgeschieden ist.

10. Halbleitereinrichtung nach Anspruch 9, dadurch gekennzeichnet, daß die Siliziumoxidschicht (203) unter Verwendung eines organischen Silans gebildet ist.

11. Halbleitereinrichtung mit Schutzisolierschicht mit einem Halbleitersubstrat (1), auf dem Elemente (2) gebildet sind, einem Verbindungsmuster (4), das auf dem Halbleitersubstrat (1) gebildet und elektrisch mit den Elementen (2) verbunden ist, einer Siliziumoxidschicht (204), die auf dem Halbleitersubstrat (1) so gebildet ist, daß sie das Verbindungsmuster (4) bedeckt; und einer Siliziumoxynitridschicht (100), die auf der Siliziumoxidschicht (204) angeordnet ist und 0,01 bis 0,5 Gew.-% Hydroxylgruppen enthält.

12. Halbleitereinrichtung nach Anspruch 11, dadurch gekennzeichnet, daß die Siliziumoxidschicht (204) nach einem chemischen Gasphasenabscheidungsverfahren unter Nutzung organischen Silans und eines oxidierenden Gases gebildet ist.

13. Halbleitereinrichtung mit einer Schutzisolierschicht mit einem Halbleitersubstrat (1), auf dem Elemente (2) gebildet sind; einem Verbindungsmuster (4), das auf dem Halbleitersubstrat (1) gebildet und elektrisch mit den Elementen (2) verbunden ist; einer Siliziumoxynitridschicht (100), die auf dem Halbleitersubstrat (1) so gebildet ist, daß sie das Verbindungsmuster (4) bedeckt, und die 0,01 bis 0,5 Gew.-% Hydroxylgruppen enthält; und einer Pufferdeckschicht (210), die auf der Siliziumoxynitridschicht (100) zur Spannungsreduzierung gebildet ist.

14. Verfahren zur Herstellung einer Halbleitereinrichtung mit einer Schutzisolierschicht mit den Schritten

Bilden von Elementen (2) auf einem Halbleitersubstrat (1);

Bilden eines Verbindungsmuster (4), das elektrisch mit den Elementen (2) verbunden ist, auf dem Halbleitersubstrat (1); und

Abscheiden einer Siliziumoxynitridschicht (100) auf dem Verbindungsmuster (4), wobei die Siliziumoxynitridschicht (100) nach einem chemischen Gasphasenabscheidungsverfahren unter Nutzung eines Plasmas und Verwendung eines organischen Silan und ein Nitriergas enthaltenden Mischgases bei einer Schichtbildungstemperatur im Bereich von 300 bis 450°C und einem Schichtbildungsdruck im Bereich von 10 bis 100 Torr abgeschieden wird.

15. Verfahren nach Anspruch 14, dadurch gekennzeichnet, daß das Durchflußverhältnis des organischen Silans zum Nitriergas 1 : 10 bis 1 : 30 beträgt.

16. Verfahren nach Anspruch 14 oder 15, dadurch gekennzeichnet, daß das organische Silan Tetraethoxysilan (TEOS) enthält.

17. Verfahren nach einem der Ansprüche 14 bis 16, dadurch gekennzeichnet, daß das Gasphasenabscheidungsverfahren mit einer HF-Leistung im Bereich von 0,5 bis 5 W/cm² durchgeführt wird.

— Leerseite —

FIG. 1

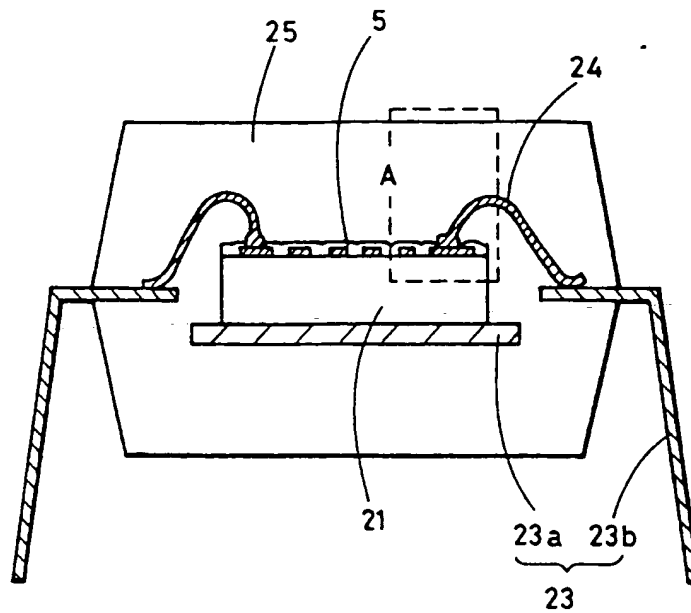


FIG. 2

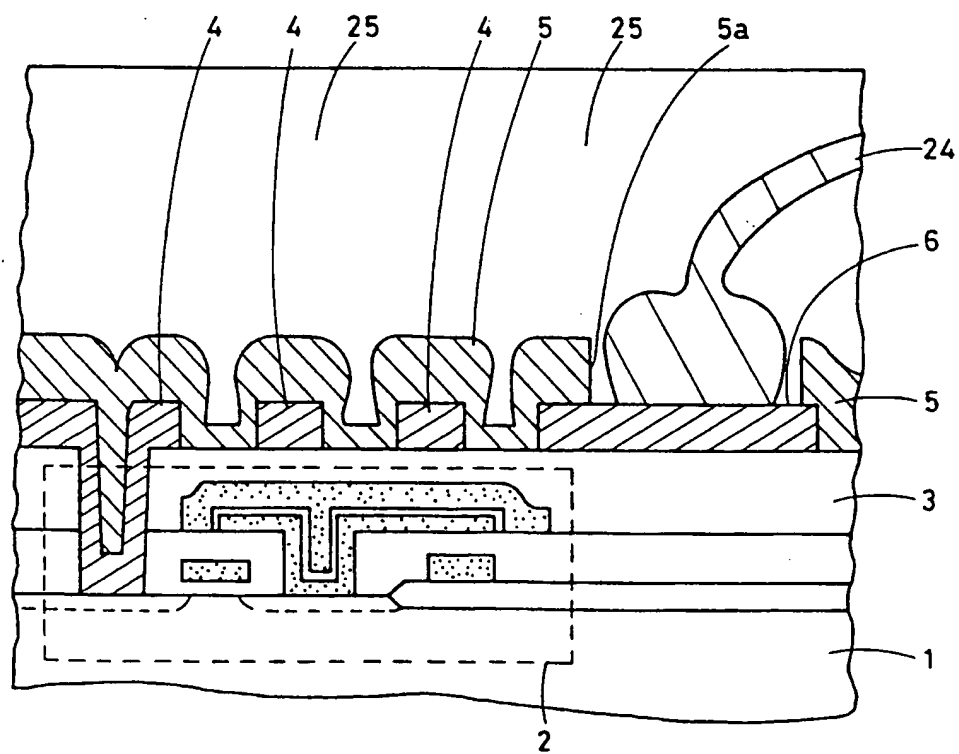


FIG. 3A

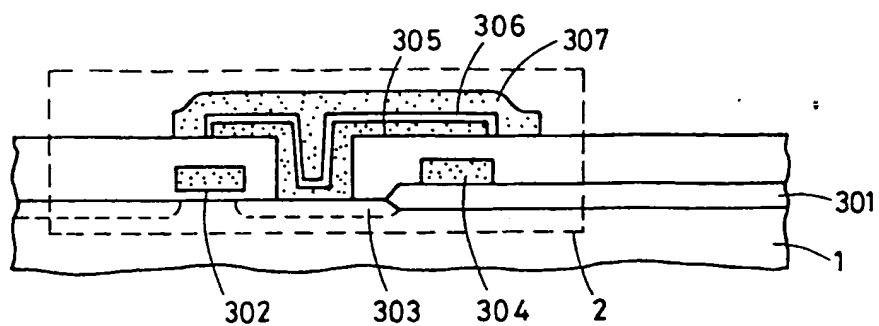


FIG. 3B

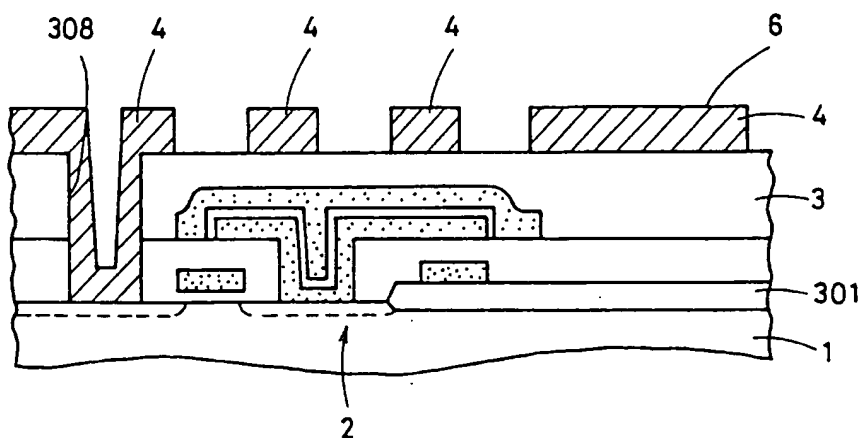


FIG. 3C

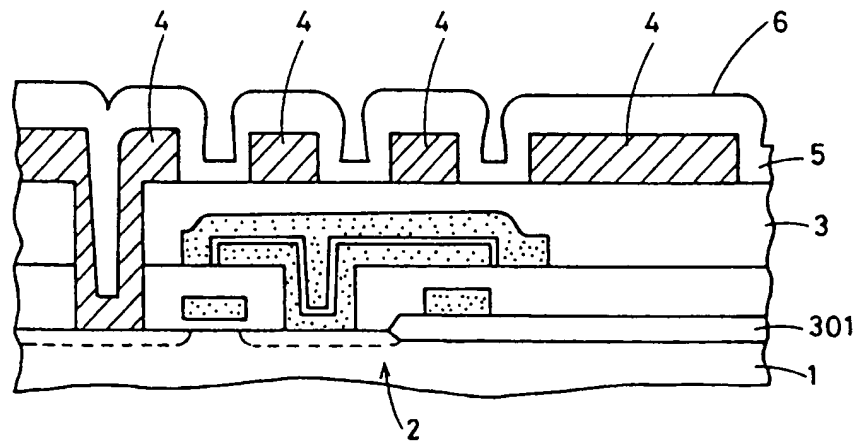


FIG. 3D

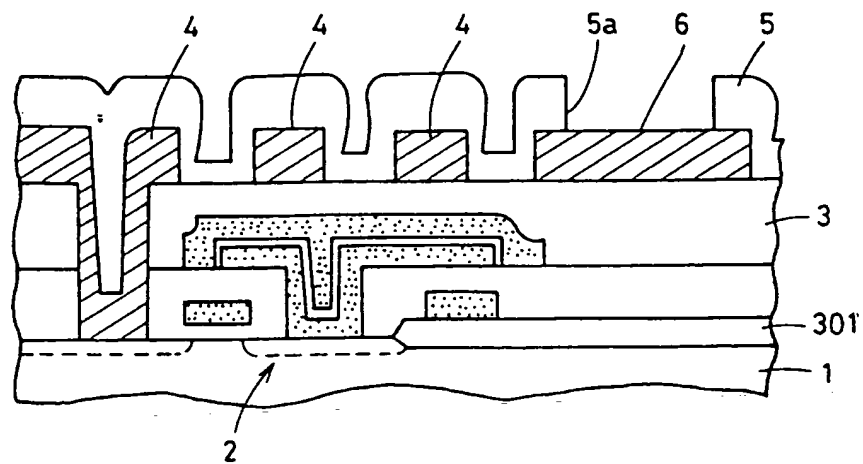


FIG. 3E

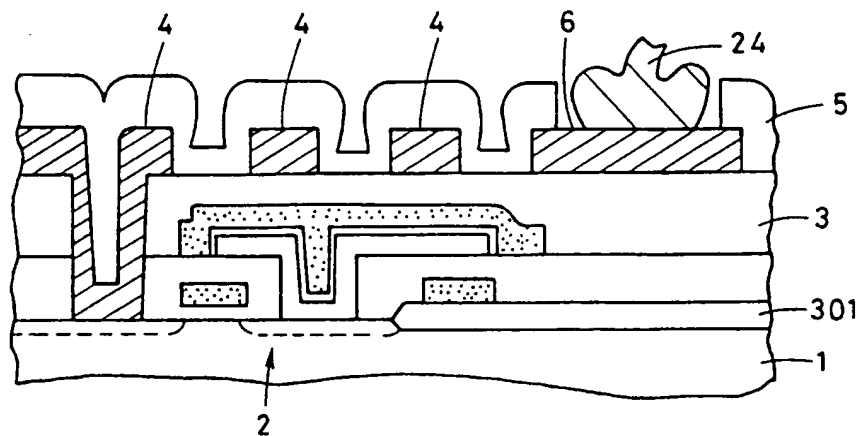


FIG. 3F

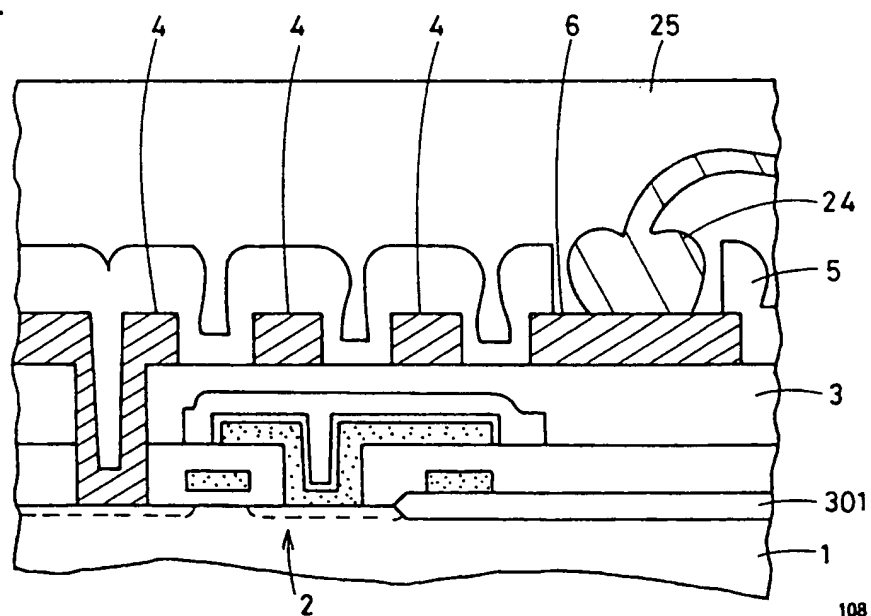


FIG. 4

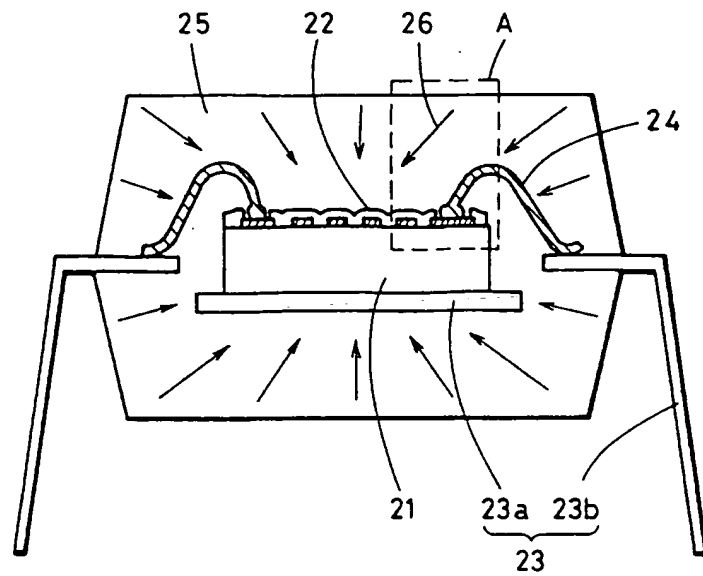


FIG. 5

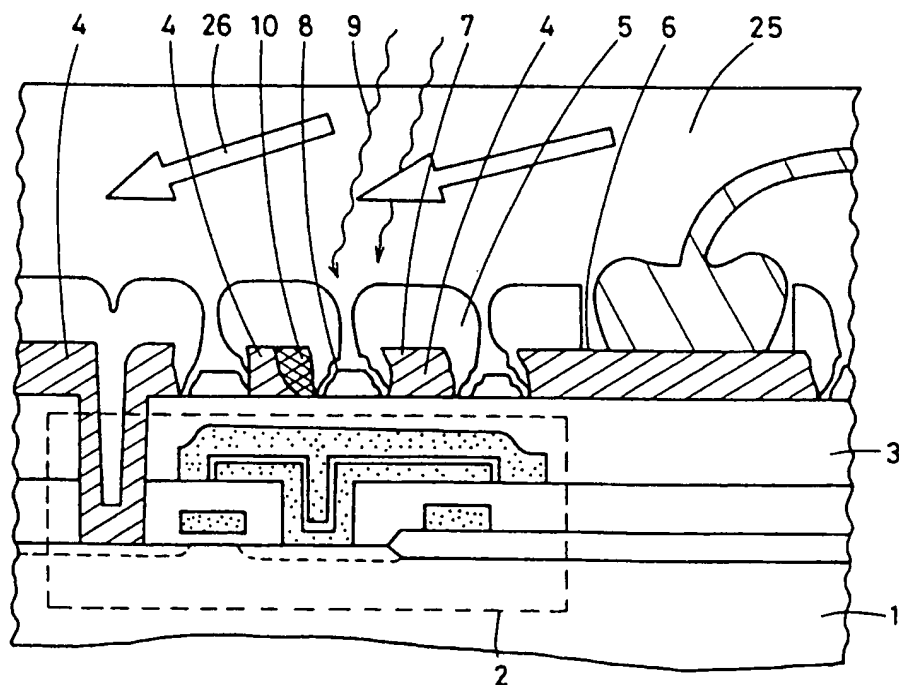


FIG. 6A

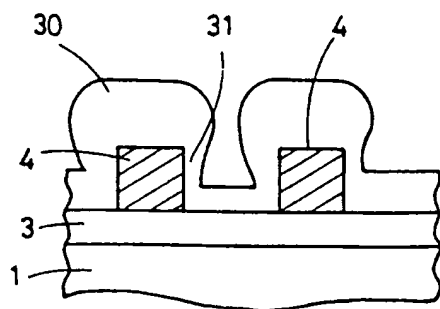


FIG. 6B

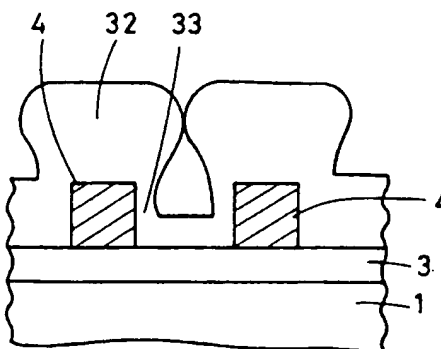


FIG. 7

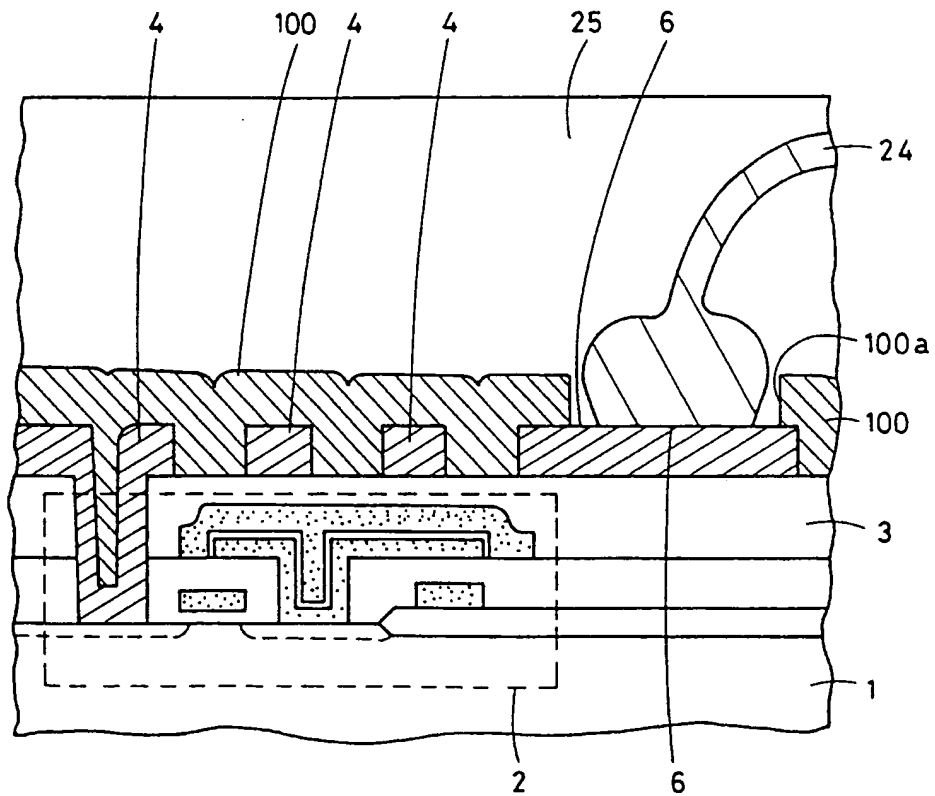


FIG. 8A

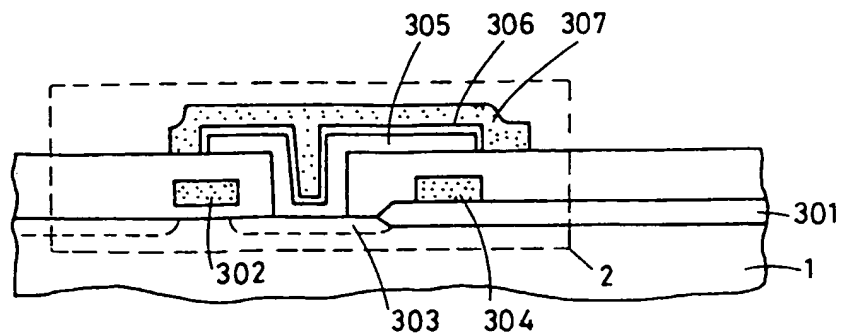


FIG. 8B

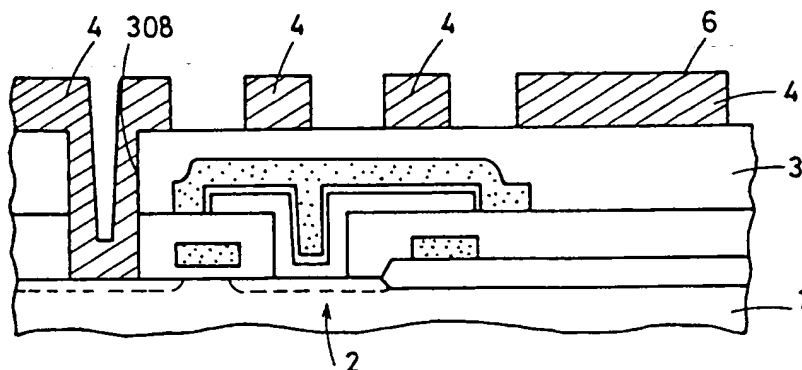


FIG. 8C

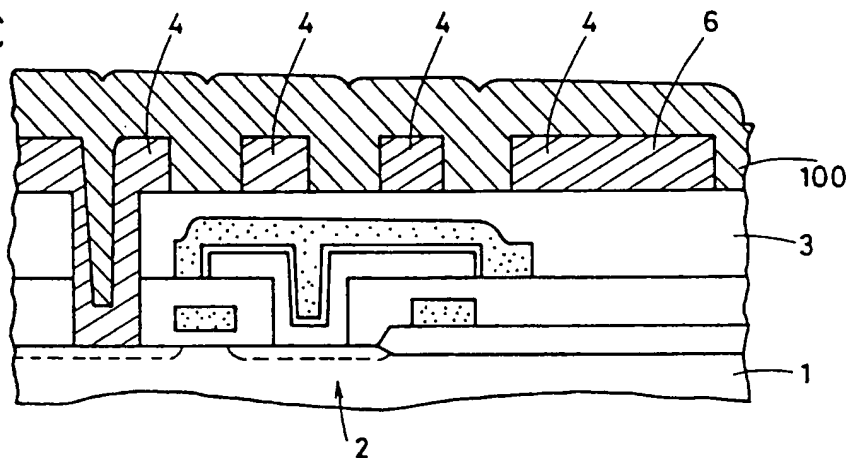


FIG. 8D

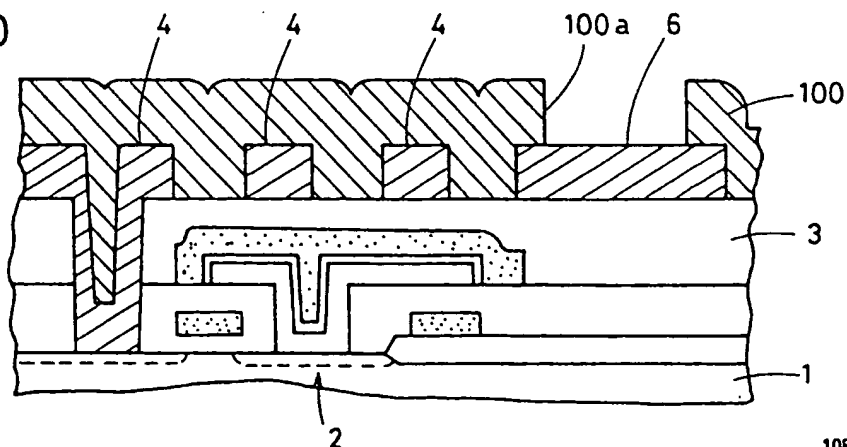


FIG. 8E

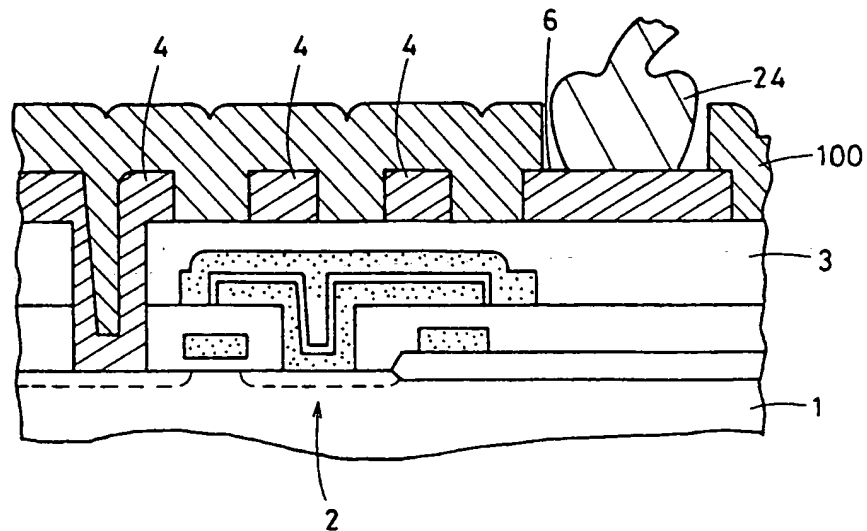


FIG. 8F

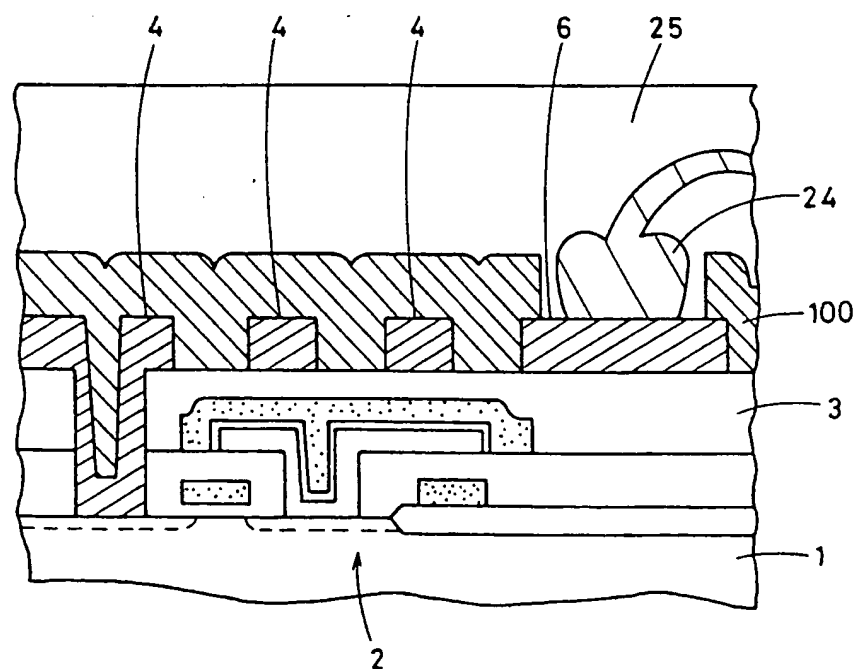


FIG.9

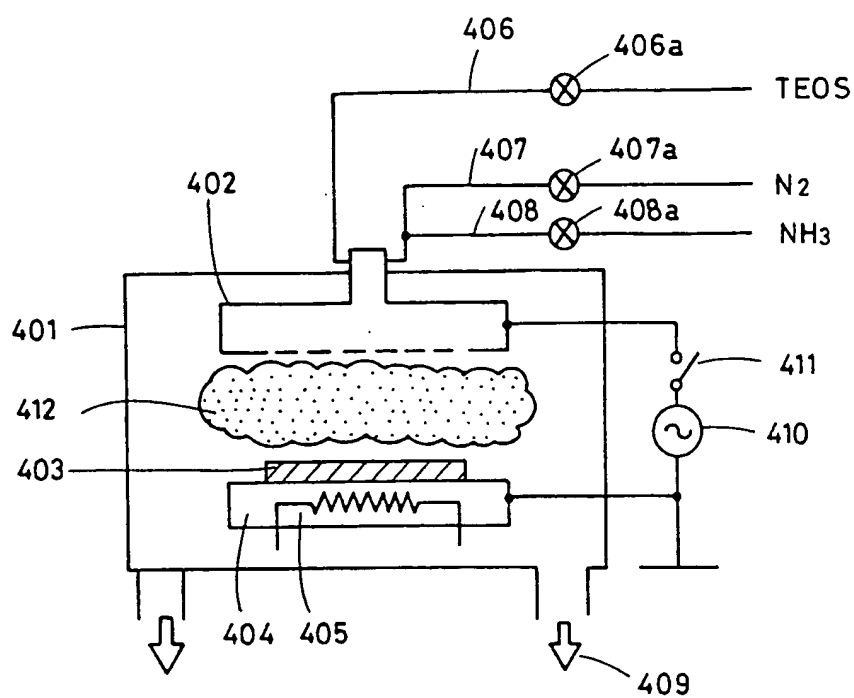


FIG.10

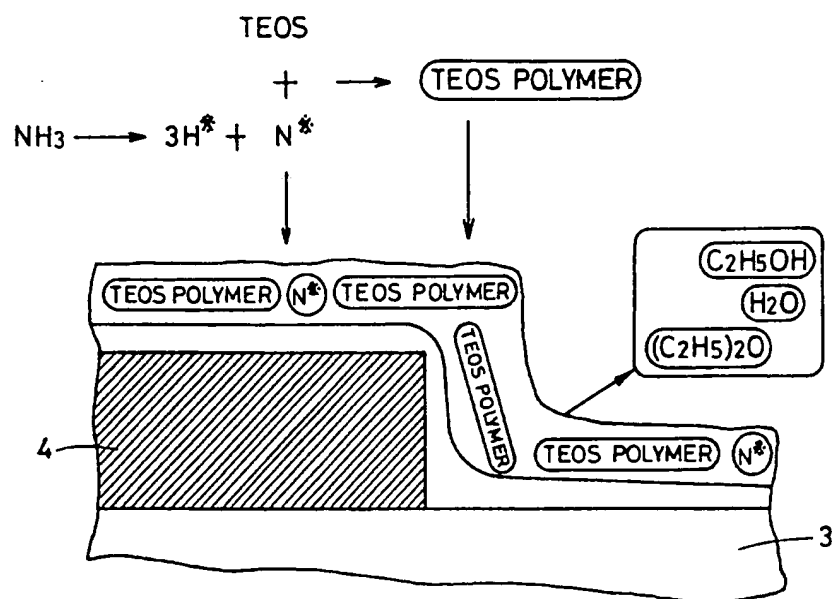


FIG.11

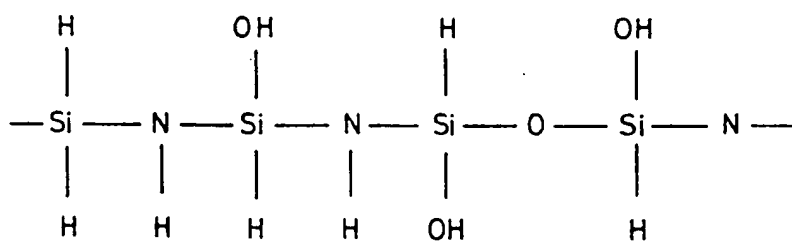


FIG.12

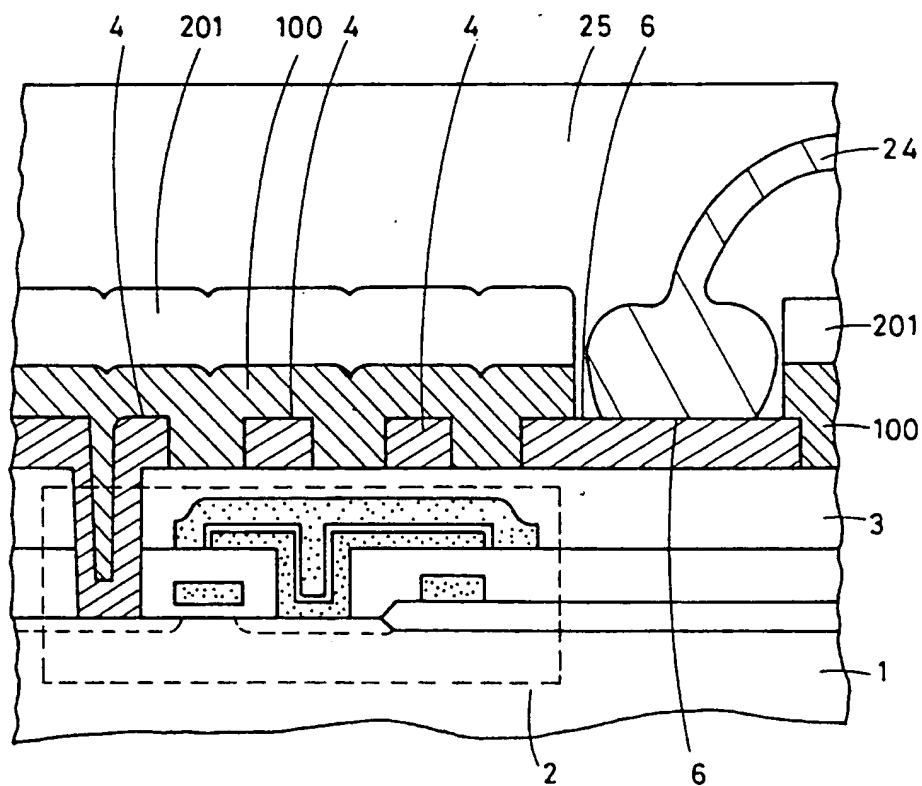


FIG. 13

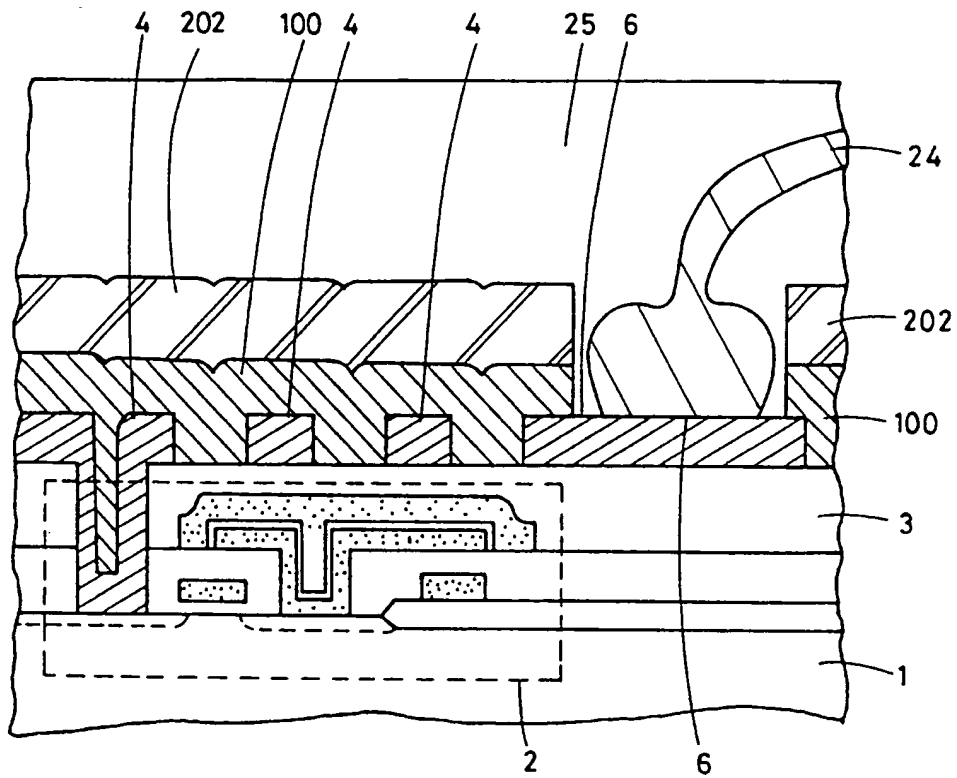


FIG.14

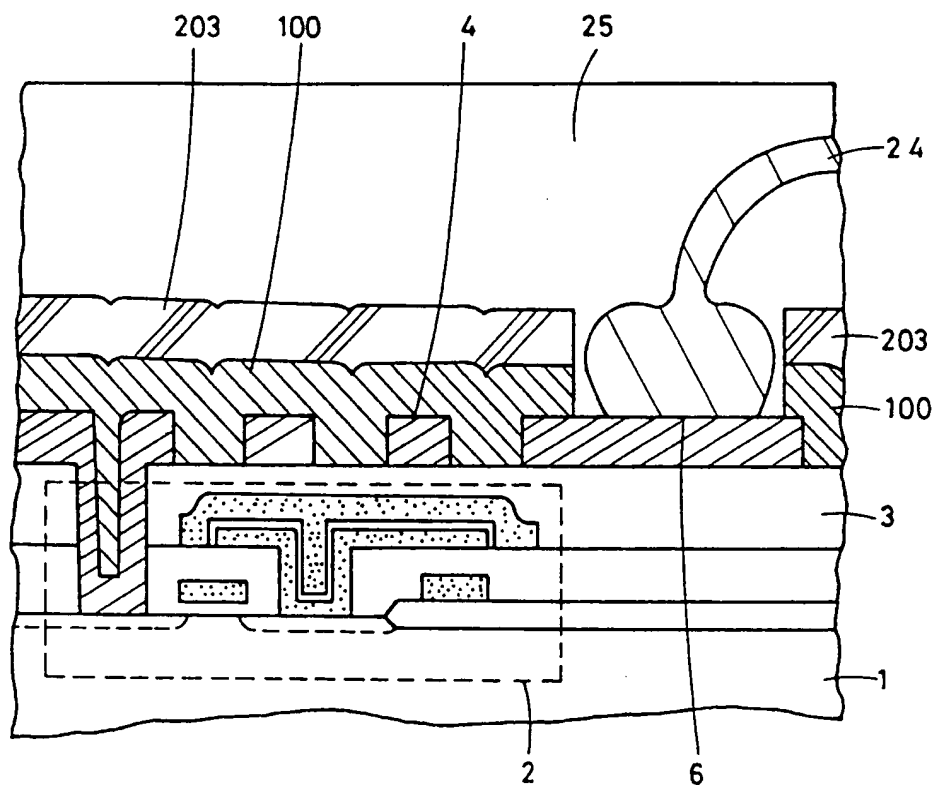


FIG.15

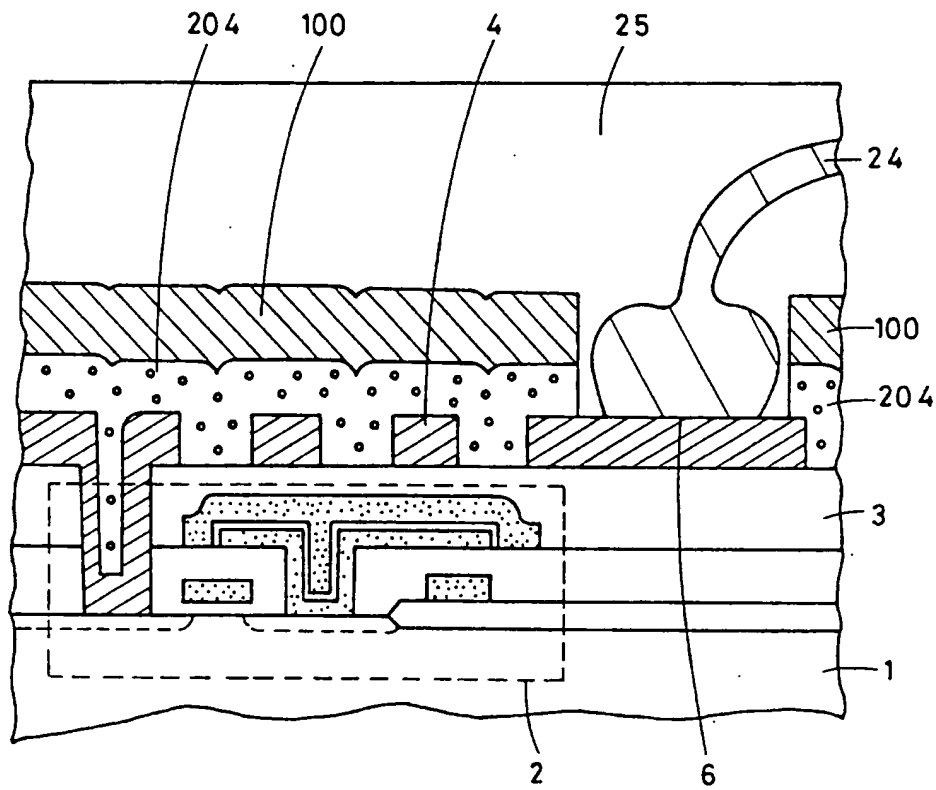


FIG.16

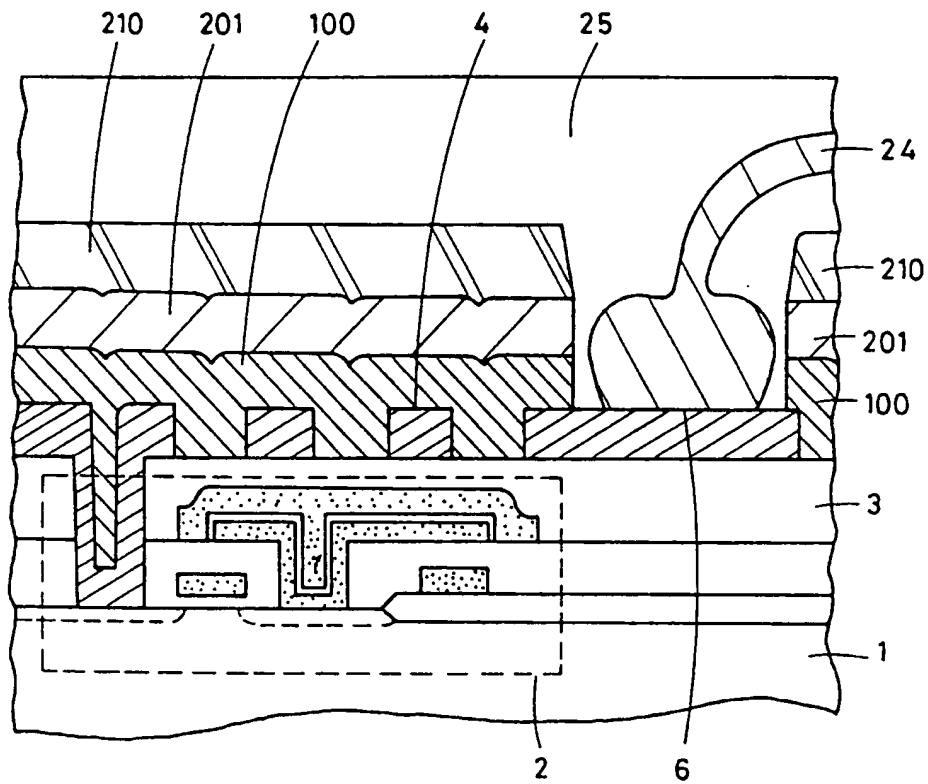
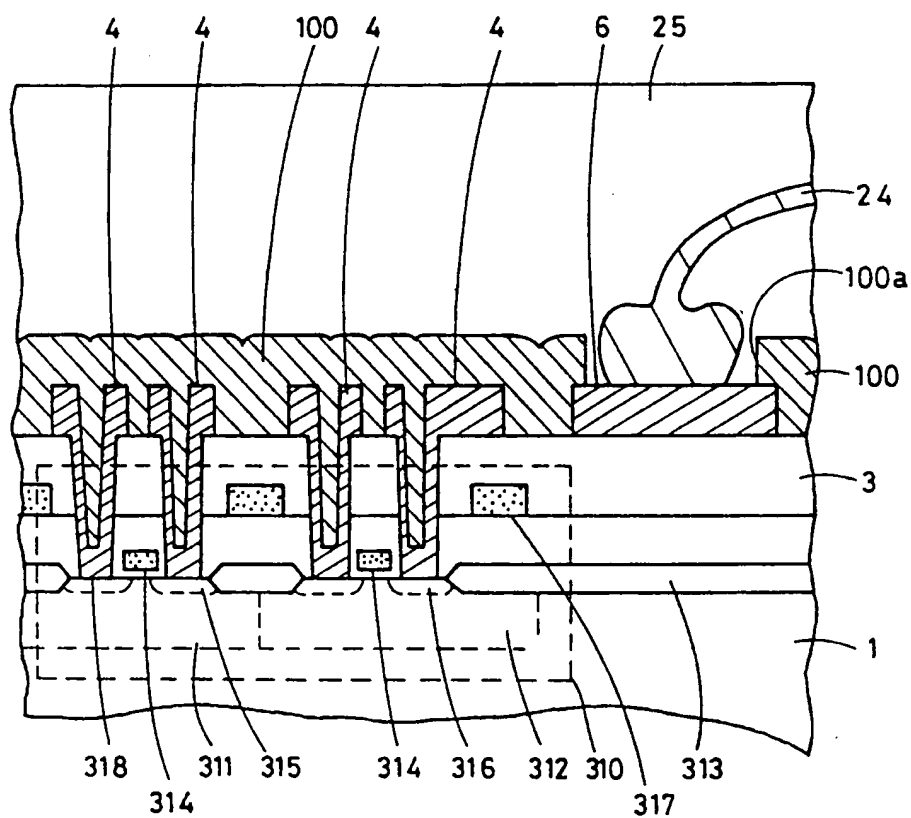


FIG.17



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.